

PARTIAL TRANSLATION OF JP 11(1999)-354728 A

Publication Date: December 24, 1999

Patent Application Number: 10(1998)-160893

Filing Date: June 9, 1998

Inventor: Naoki NISHIMURA

Applicant: CANON INC

[Title of the Invention] MAGNETIC THIN FILM MEMORY AND ITS
RECORDING, REPRODUCING AND DRIVING METHOD

(Page 5, column 7, lines 18-28)

[0047]

Example 4

In FIG. 1, a plurality of memory elements is arranged in one layer of the magnetoresistive film 1. Alternatively, a single memory element may be arranged in one layer of the magnetoresistive film 1, and two or more layers may be superimposed as shown in FIG. 4. This configuration further can improve the degree of integration per unit area.

[0048]

However, too many layers may complicate the manufacturing process and increase the whole thickness. Therefore, the number of layers of magnetic thin film memory elements is in the range of 2 to 200, preferably in the range of 2 to 100, and more preferably in the range of 10 to 50.

(page 5, column 8, lines 11-24)

[0051]

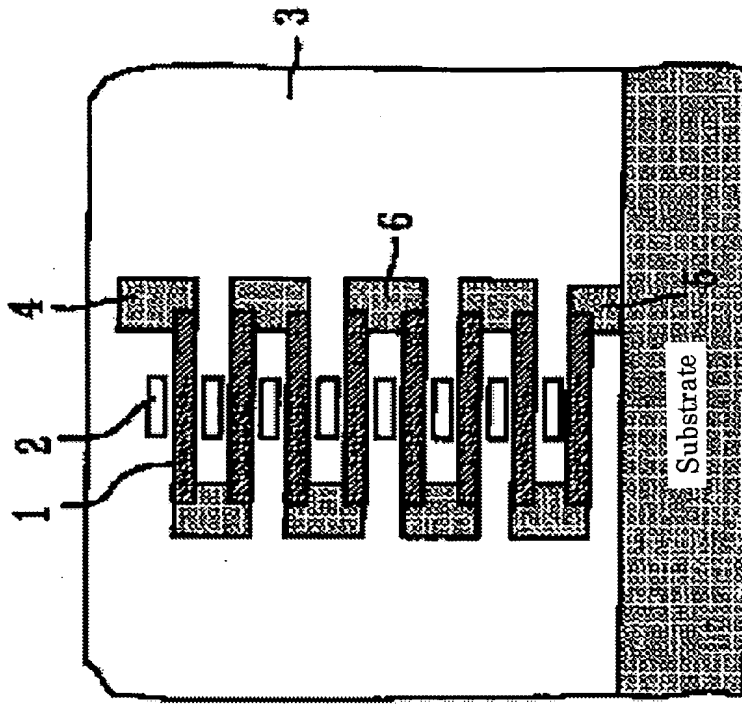
FIGS. 7 and 8 are cross-sectional views showing an example of a device structure including a transistor. FIG. 7 illustrates a structure in which a MOS (metal oxide semiconductor) transistor is provided in the memory as shown in FIG. 3. FIG. 8 illustrates a structure in which a MOS transistor is provided in the memory as shown in FIG. 4. One end of a magnetoresistive film 1 is connected electrically to the drain region of a field-effect transistor via an electrode 5. The other end is connected to an electrode 4 having a constant voltage of VDD. To arrange the magnetoresistive films 1 in layers, good conductors 6 are used to connect different layers so that the magnetoresistive films 1 are connected

electrically in series, i.e., the magnetoresistive film as a whole is folded via the good conductors 6. Moreover, n-type wells 9, 10 are formed in a p-type semiconductor Si substrate as source and drain regions, and a gate electrode 8 is formed, thereby providing the MOS transistor.

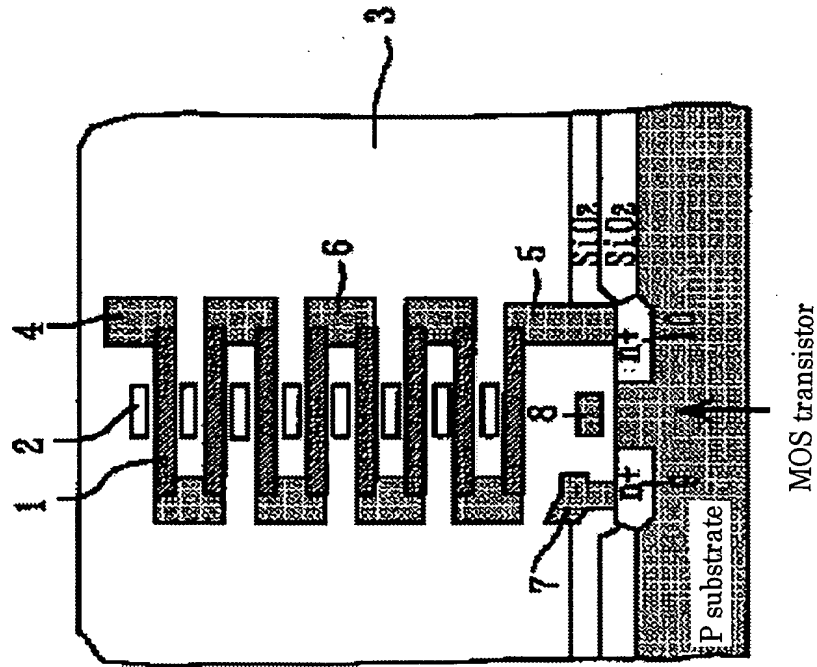
[Description of the Reference Numerals]

- 1 Magnetoresistive film
- 2 Write line
- 3 Insulator
- 4,5,7 Good conductor
- 6 Good conductor with low resistance
- 8 Gate electrode
- 9,10 N-type well

【 FIG. 4 】



【 FIG. 8 】





PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11354728 A**(43) Date of publication of application: **24 . 12 . 99**

(51) Int. Cl.

H01L 27/10
G11C 11/15
H01L 43/08

(21) Application number: **10160893**(71) Applicant: **CANON INC**(22) Date of filing: **09 . 06 . 98**(72) Inventor: **NISHIMURA NAOKI**

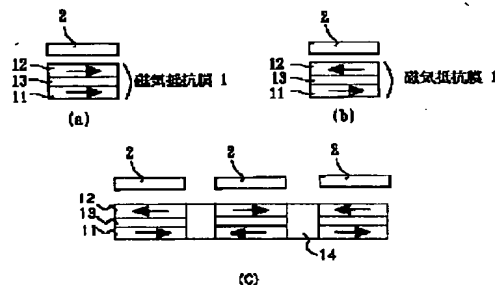
(54) **MAGNETIC THIN FILM MEMORY AND ITS
 RECORDING, REPRODUCING AND DRIVING
 METHOD**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a nonvolatile solid memory having a high integration degree.

SOLUTION: A first magnetic layer 11 having a low coercive force and second magnetic film 12 having a high coercive force are laminated through a nonmagnetic layer, and at least two or more magnetic thin film memory elements having a magnetoresistance film 1 revealing a different resistance value, depending on the relative angle of the magnetizing direction of the first magnetic layer 11 to that of the second magnetic layer 12 and conductive write wires 2 near the magnetoresistance film 1 are laminated and arranged on a substrate, thereby constituting a magnetic thin film memory.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354728

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
G 1 1 C 11/15		G 1 1 C 11/15	
H 0 1 L 43/08		H 0 1 L 43/08	Z

審査請求 未請求 請求項の数 7 O L (全 7 頁)

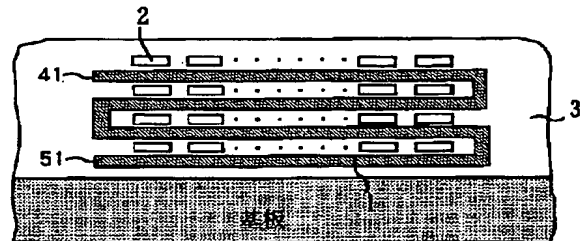
(21) 出願番号	特願平10-160893	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成10年(1998)6月9日	(72) 発明者	西村 直樹 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(74) 代理人	弁理士 若林 忠 (外4名)

(54) 【発明の名称】 磁性薄膜メモリおよびその記録再生駆動方法

(57) 【要約】

【課題】 高い集積度の不揮発固体メモリを提供する。

【解決手段】 低い保磁力を有する第1磁性層と、高い保磁力を有する第2磁性層が、非磁性層を介して積層され、該第1磁性層の磁化の向きと該第2磁性層の磁化の向きの相対角度によって異なる抵抗値を示す磁気抵抗膜と、該磁気抵抗膜近傍に設けられた良導体からなる書き込み線とを有する磁性薄膜メモリ素子が、基板上に少なくとも2個以上積層して配列してなることを特徴とする磁性薄膜メモリの提供。



【特許請求の範囲】

【請求項 1】 低い保磁力を有する第 1 磁性層と、高い保磁力を有する第 2 磁性層が、非磁性層を介して積層され、該第 1 磁性層の磁化の向きと該第 2 磁性層の磁化の向きの相対角度によって異なる抵抗値を示す磁気抵抗膜と、該磁気抵抗膜近傍に設けられた良導体からなる書き込み線とを有する磁性薄膜メモリ素子が、基板上に少なくとも 2 個以上積層して配列してなることを特徴とする磁性薄膜メモリ。

【請求項 2】 請求項 1 記載の磁性薄膜メモリであって、前記磁気抵抗膜が直列に接続されてなることを特徴とする磁性薄膜メモリ。

【請求項 3】 請求項 2 記載の磁性薄膜メモリであって、積層された各前記磁気抵抗素子の間に導電体からなる接続部が設けられてなることを特徴とする磁性薄膜メモリ。

【請求項 4】 請求項 2 記載の磁性薄膜メモリであって、該直列に接続された磁気抵抗膜の少なくとも一端に、該磁気抵抗膜の抵抗値を検出する回路が接続され、前記書き込み線には電流を供給する回路が接続されてなることを特徴とする磁性薄膜メモリ。

【請求項 5】 請求項 1 記載の磁性薄膜メモリ素子が基板上にマトリックス状に配列されており、該磁気抵抗膜の端部が電界効果トランジスタもしくはダイオードからなる半導体素子に電気的に接続していることを特徴とする磁性薄膜メモリ。

【請求項 6】 請求項 1 記載の磁性薄膜メモリ素子において、前記書き込み線に電流を流し該電流により生じる磁界により前記第 2 磁性層の磁化方向を定め、前記書き込み線の電流方向を変えることにより“0”と“1”の状態を記録することを特徴とする磁性薄膜メモリの記録方法。

【請求項 7】 請求項 1 記載の磁性薄膜メモリ素子において、再生時の書き込み電流により生じる磁界により、前記メモリ素子の第 1 磁性層のみの磁化方向が反転することにより生じる抵抗変化を利用して第 2 磁性層に記録した情報を読み込むことを特徴とする磁性薄膜メモリの再生方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は固体メモリに関し、さらに詳細には高い集積度の不揮発固体メモリならびにそれを用いたメモリの記録および再生方法に関する。

【0002】

【従来の技術】 半導体メモリには、DRAMのように電源を失うと情報が消失する揮発性メモリと、フラッシュメモリ、強誘電体メモリなど、電源を失っても情報が消失しない不揮発性メモリがある。

【0003】 DRAM、強誘電体メモリは、情報を記録する部分がコンデンサからなりこのコンデンサに貯えら

れた電荷の有無もしくは分極の向きにより情報が記録されるため、一つのメモリセルには最低一つのトランジスタが必要となる。

【0004】 フラッシュメモリは、フローティングゲートに電荷が蓄積されるかどうかでトランジスタのコントロールゲートのしきい電圧を変化させるので、やはり一つのメモリセルに最低一つのトランジスタが必要となる。

【0005】 一方、トランジスタは、Si 結晶中にボロン、リンなどの不純物元素を注入して p 型もしくは n 型の半導体を形成することにより作成される。この際の Si 結晶は、適正なバンド構造の半導体物性値を得るために、欠陥のない結晶構造が必要である、または不純物元素の注入に耐えうる程度の膜厚が必要である。これらの理由により、トランジスタを形成した Si 基板の上にさらに Si 膜を作成して、トランジスタを積み重ねて作成することは、きわめて困難で実用化にいたっていない。

【0006】 従って、従来の固体メモリでは、一つのメモリセルに最低一つのトランジスタが必要で、かつ、そのトランジスタを重ねて作成できないため、膜厚方向に複数のメモリセルを積層して作成することが不可能であった。

【0007】

【本発明が解決しようとする課題】 このため、従来の固体メモリでは、高い集積度を達成することが困難であった。本発明はこの点に鑑み、高い集積度の不揮発固体メモリの実現を目的とする。

【0008】

【課題を解決するための手段】 本発明の磁性薄膜メモリは、低い保磁力を有する第 1 磁性層と、高い保磁力を有する第 2 磁性層が、非磁性層を介して積層され、該第 1 磁性層の磁化の向きと該第 2 磁性層の磁化の向きの相対角度によって異なる抵抗値を示す磁気抵抗膜と、該磁気抵抗膜近傍に設けられた良導体からなる書き込み線とを有する磁性薄膜メモリ素子が、基板上に少なくとも 2 個以上積層して配列してなることを特徴とする。

【0009】 また、前記の磁性薄膜メモリは、前記磁気抵抗膜が直列に接続されてなることを特徴とする。

【0010】 また、前記の磁性薄膜メモリは、積層された各前記磁気抵抗素子の間に導電体からなる接続部が設けられてなることを特徴とする。

【0011】 また、前記の磁性薄膜メモリは、該直列に接続された磁気抵抗膜の少なくとも一端に、該磁気抵抗膜の抵抗値を検出する回路が接続され、前記書き込み線には電流を供給する回路が接続されてなることを特徴とする。

【0012】 また、前記磁性薄膜メモリ素子が基板上にマトリックス状に配列されており、該磁気抵抗膜の端部が電界効果トランジスタもしくはダイオードからなる半導体素子に電気的に接続していることを特徴とする。

10

20

30

40

50

【0013】また、前記磁性薄膜メモリ素子において、前記書き込み線に電流を流し該電流により生じる磁界により前記第2磁性層の磁化方向を定め、前記書き込み線の電流方向を変えることにより“0”と“1”の状態を記録することを特徴とする磁性薄膜メモリの記録方法を提供する。

【0014】また、前記磁性薄膜メモリ素子において、再生時の書き込み電流により生じる磁界により、前記メモリ素子の第1磁性層のみの磁化方向が反転することにより生じる抵抗変化を利用して第2磁性層に記録した情報を読み込むことを特徴とする磁性薄膜メモリの再生方法を提供する。

【0015】

【発明の実施の形態】以下に本発明の磁性薄膜メモリに用いられる磁気抵抗膜の各層の特徴を述べる。

【0016】第1磁性層、第2磁性層は、Ni、Fe、Coの少なくとも一種を主成分として用いられるか、CoFeを主成分とするアモルファス合金として用いられることが望ましい。例えば、NiFe、NiFeCo、Fe、FeCo、Co、CoFeBなどの磁性膜からなる。

【0017】（第1磁性層の材料）第1磁性層は、第2磁性層よりも低い保持力を有する。このため、第1磁性層には、Niを含む軟磁性膜が好ましく、具体的には、特にNiFe、NiFeCoを主成分として用いられてなることが望ましい。またFeCoでFe組成の多い磁性膜、CoFeBなどの保磁力の低いアモルファス磁性膜でも良い。

【0018】NiFeCoの原子組成比は、 $Ni_xFe_yCo_z$ とした場合、 x は40以上95以下、 y は0以上40以下、 z は0以上50以下、好ましくは x は50以上90以下、 y は0以上30以下、 z は0以上40以下、更に好ましくは x は60以上85以下、 y は10以上25以下、 z は0以上30以下が良い。

【0019】また、FeCoの原子組成は、 Fe_xCo_{100-x} とした場合、 x は50以上100以下、好ましくは、 x は60以上90以下が良い。

【0020】また、CoFeBの原子組成は、 $(Co_xFe_{100-x})_{100-y}B_y$ とした場合、 x は80以上96以下、 y は5以上30以下が良い。好ましくは x は86以上93以下、 y は10以上25以下が良い。

【0021】（第2磁性層の材料）第2磁性層は第1磁性層よりも高い保磁力を有する。例として第1磁性層と比較してCoを多く含む磁性層が望ましい。

【0022】 $Ni_xFe_yCo_z$ は、それぞれ原子組成比で、 x は0以上40以下、 y は0以上50以下、 z は20以上95以下、好ましくは x は0以上30以下、 y は5以上40以下、 z は40以上90以下、更に好ましくは x は5以上20以下、 y は10以上30以下、 z は50以上85以下が良い。

【0023】 Fe_xCo_{100-x} は、原子比で、 x は0以上50以下が良い。

【0024】また第2磁性層に保磁力の制御、耐食性の向上などの目的でPt等の添加元素を加えても良い。

【0025】（保磁力制御の方法）CoにFeを添加すると保磁力は小さくなり、Ptを添加すると保磁力は大きくなるので、第2磁性層を例えば $Co_{100-x-y}Fe_xPt_y$ として元素組成 x および y を調節して保磁力を制御すればよい。また成膜時の基板温度高くすることによっても保磁力を高めることができるので別の保磁力の制御方法として成膜時の基板温度を調節することもよい。この方法と前述した強磁性薄膜の組成を調節する方法とを組合せてもよい。また第1磁性層の保磁力の調節も上述と同様に、膜組成と成膜時の基板温度で調節することができる。

【0026】また、前述の通りNiを添加すると保磁力を小さくすることができる。

【0027】（層構成のタイプ）前述の通り、本発明の磁気抵抗膜の例としては、第1磁性層は、第2磁性層よりも低い保磁力を有して、「検出層（第1磁性層）／非磁性層／メモリ層（第2磁性層）」とする構成が挙げられる。これは第1磁性層を読みだした時に相対検出させるために反転させる検出層、第2磁性層を磁化情報が保存されるメモリ層とする。記録電流によってメモリ層（第2磁性層）を反転させ、再生時は、検出層（第1磁性層）のみを反転させる。

【0028】保磁力の範囲は、検出層では2（Oe）以上20（Oe）以下、好ましくは5（Oe）以上10（Oe）以下が良い。また、検出層の保磁力はメモリ層の保磁力の半分程度にすることが望ましい。メモリ層では、5（Oe）以上50（Oe）以下、好ましくは10（Oe）以上25（Oe）以下が良い。

【0029】（第1磁性層の膜厚）第1磁性層の膜厚は、散乱型の巨大磁気抵抗効果が効率よく発生するように設定する。具体的には、第1磁性層の膜厚が電子の平均自由行程より大幅に大きくなると、フォノン散乱を受けてその効果が薄れるため、少なくとも200Å以下であることが望ましい。さらに好ましくは150Å以下が良い。しかし、薄すぎるとセルの低抵抗値が小さくなり再生信号出力が減少してしまい、また磁化を保持できなくなるので、20Å以上が望ましく、さらには80Å以上が望ましい。

【0030】（第2磁性層の膜厚）第2磁性層の膜厚も第1磁性層の場合と同様に、散乱型の巨大磁気抵抗効果が効率よく発生するように、少なくとも200Å以下であることが望ましい。さらに好ましくは150Å以下が良い。しかしあまり薄すぎるとメモリ保持性能が劣化し、また再生信号出力が減少するため、また、セル抵抗値が小さくなり、また磁化を保持できなくなるので、20Å以上が望ましく、さらには80Å以上が望ましい。

【0031】（非磁性層の材料、膜厚）非磁性層は良導体からなり、好ましくはCuを主成分として用いられることが、磁性層とフェルミエネルギー準位が近く、密着性もよいため、磁化方向が変わるときに界面で抵抗が生じ易く大きな磁気抵抗比を得るのに好都合である。また、非磁性層の膜厚は5Å以上60Å以下であることが望ましい。

【0032】（その他の構成）第1磁性層と非磁性層の間、もしくは第2磁性層と非磁性層の間、もしくは第1磁性層と非磁性層の間および第2磁性層と前記非磁性層の間にCoを主成分とする磁性層が設けられると、磁気抵抗比が高くなるため、より高いS/N比が得られるため望ましい。この場合のCoを主成分とする層の厚みは20Å以下が好ましく、5Å以上が好ましい。

【0033】またS/Nを向上させるために、第1磁性層／非磁性層／第2磁性層／非磁性層を1つのユニットとして、このユニットを積層しても良い。

【0034】積層する組数は多い程MR比が大きくなり好ましいが、余り多くするとMR磁性層が厚くなり電流を多く必要とする。このため、積層の回数は40組以下、さらに好ましくは3～20組程度に設けられるのが好ましい。

【0035】

【作用】本発明に関わる磁性薄膜メモリにおいては、直列に接続されたメモリセルが基板の膜厚方向に積層されているため、集積度が高く、チップの単位面積当たりの記録容量が大きい磁性薄膜メモリを実現することが出来る。また、電源が断たれても情報を失わない、繰り返し書換回数が無限回に近く、放射線が入射すると記録内容が消失する危険性がない等、半導体メモリと比較して有利な点がある。

【0036】

【実施例】本発明の実施例を、図面を用いてより詳細に説明する。

【0037】実施例1

図1は本発明の磁性薄膜メモリの一例について、その断面を示した図である。図に示したように、本発明の磁性薄膜メモリは、情報が記録される磁気抵抗膜1と、磁気抵抗膜1上に絶縁体3を介して積層された良導体金属からなる書き込み線2を有する磁性薄膜メモリ素子が磁気抵抗膜1が電気的に直列に接続された形で、基板上に少なくとも2段以上に積層して構成される。書き込み線2は紙面の垂直方向に電流が流れるように設けられており、その一部は点線で省略して示してある。

【0038】磁気抵抗膜1の両端41、51には、図示していないが、それぞれ良導体からなる読み込み線が接続されており、この間の抵抗変化を測定することができるように、センス回路等が接続される。磁気抵抗膜1上にはSiO₂、SiN_xなどからなる絶縁体3を介して書き込み線2を設ける。絶縁層を設けるのは、書き込み線と磁

気抵抗膜が電気的に接続されるのを防ぐためである。

【0039】図2は、図1に示した磁気抵抗膜1を、より詳細に示したものである。磁気抵抗膜1は、図2に示すように、主に膜面内の一方に磁化配向しており低い保磁力を有する第1磁性層11と、主に膜面内の一方に磁化配向しており高い保磁力を有する第2磁性層12が、非磁性層13を介して積層される。

【0040】この磁気抵抗膜は、第1磁性層11の磁化と該第2磁性層12の磁化の向きの相対角度によって異なる抵抗値を示す。例えば図2（a）に示すように平行の時は低い抵抗値を示し、図2（b）に示すように反平行の時は高い抵抗値を示す。このため、“0”、“1”のデジタル情報を、例えば、図2（a）、図2（b）にそれぞれ対応させれば、抵抗値の差で記録されたデジタル情報を検出することができる。情報は、書き込み線一つに対して1ビット記録される。すなわち、書き込み線2の数がn個あれば、nビットの情報が保存されることになる。例えば図2（c）に示すように、書き込み線2を3個設け、各書き込み線2の下部に、前記磁気抵抗膜を設ければ、合計3ビットの情報が保持される。さらにこれを積層することで情報量が積層した回数分増える。尚、図2（c）では1ビットの磁気抵抗膜間に良導体14を設けて、情報保持に無関係な部分の抵抗を低減しているが、良導体14の代わりに軟磁性膜を設けてスピン配向性を改善しても良く、良導体14を製造プロセス簡略化のために削除しても良い。

【0041】このメモリ素子では、保磁力の小さい第1磁性層は、第2磁性層に保存された磁化情報を、磁気抵抗効果を利用して読み出すために設けられたものである。保磁力の大きい第2磁性層は、磁化情報を保存するために設けられたものである。第1磁性層の保磁力は2（Oe）以上で20（Oe）以下、第2磁性層の保磁力は10（Oe）以上で50（Oe）以下にすることが望ましい。また、第1磁性層の保磁力は第2磁性層の保磁力の半分程度にすることが望ましい。

【0042】図2に示した構造は、保磁力の大きい第2磁性層を書込み線側に設けているが、保磁力の小さい第1磁性層を書込み線側に設けてもよい。しかし、保磁力の大きい磁性層は磁化反転させるためにより大きな電流を要するため、保磁力の大きい第2磁性層を書込み線側に設けた方が消費電流が小さくなるので、より望ましい。

【0043】本実施例及び以下の実施例において、第1磁性層、第2磁性層、非磁性層の材質や膜厚等は前記したものが用いられる。

【0044】実施例2

図3は本発明の磁性薄膜メモリの別の例について、その断面を示した図である。磁気抵抗膜を積層した際に、その折り返し箇所には、図3に示したように、抵抗値の低い良導体6を設けることが望ましい。こうすると、情報

保存に無関係な部分の抵抗値を小さくすることができ、S/N比の良いメモリ素子を作成することができる。

【0045】これらの接続のための良導体は電気抵抗値が磁気抵抗膜よりも小さい材料、例えば、アルミニウム、銅などを含む材料が望ましい。また、前述の通り、磁気抵抗膜1の端部にも、半導体素子やセンス回路などを接続するために、良導体4、5を設けることが望ましい。

【0046】実施例3

直列配列したメモリ素子の数を増やすと、時定数が大きくなって読み込み速度が低下し、全体の抵抗値の増大に伴って熱雑音が増加する。この悪影響を抑えるためには、1つの直列構造に配列するメモリ素子の数は、256個以内とすることが望ましい。より望ましくは10個以内、さらに望ましくは4個以内が良い。また、本発明の効果を発揮するためには最低でも2個のメモリ素子を直列配列しなければならない。

【0047】実施例4

また、図1には、磁気抵抗膜の1段に複数個のメモリ素子を配列した場合を示したが、図4に示すように磁気抵抗膜の1段に1個だけのメモリ素子を配置して、これを複数回積層してもよい。この場合には、単位面積当たりの集積度をさらに高くすることができる。

【0048】但し、あまり積層回数を増やすと、製造工程が複雑になる、全体の膜厚が増加するなどの問題が発生するため、磁性薄膜メモリ素子の積層回数は、2回以上であって、200回以下、望ましくは100回以下、さらに望ましくは10回～50回がよい。

【0049】実施例5

本発明の磁性薄膜メモリは、前述のように直列構造において250個以下のメモリ素子が並ぶように配列することが望ましい。このため、1つのメモリチップにおいて数100Mバイトもしくは数Gバイトの容量を達成する場合には、例として図1、3、4に示した積層されたメモリ素子の直列構造を1単位としたものを数多く配列して全体のメモリを構成する必要がある。このためには、直列構造を並列に配列してマトリックス構造にすることが望ましい。

【0050】このマトリックス構造は、回路図面で示した場合、図5に示した1単位の直列構造を並列に配列して図6に示したように構成する。図6では、周囲にある大部分の回路構造を省略して、4個の直列構造を並列化したものを示している。各直列構造間の電気的なクロストークを解消するためには、トランジスタやダイオードなどの半導体素子を各直列構造に設けることが望ましく、より好ましくは、電界効果トランジスタなどのアクティブ素子を設けることが望ましい。図5、6には、磁気抵抗膜の一端をトランジスタに接続し、他端は電源電圧VDDに接続した例を示している。各直列構造の選択は、トランジスタのゲート電極に接続されている選択線

に電位をかけてトランジスタをオンさせて行う。こうすると、多数ある直列構造の磁気抵抗膜ラインのうち、一つを選択することができる。さらに選択された磁気抵抗膜ラインのうち、読もうとする1ビットメモリセル上に置かれた書き込み線に電流を流して磁界を発生させる。発生した磁界は読もうとするメモリセルのうち、検出層のみの磁化を反転させる。これによって抵抗値の変化が生じ、その変化はセンス回路によって増幅されて検出される。こうして多数あるメモリセルの中から、特定のメモリセルの情報を読むことができる。

【0051】図7、8は、トランジスタを設けたデバイス構造の断面図の例を示したもので、図7は図3、図8は図4にそれぞれMOS (metal-oxide-semiconductor) トランジスタを設けた構造を示している。磁気抵抗膜1は、その一端を電界効果トランジスタのドレイン領域に電極5を介して電気的に接続し、他端は一定電圧VDDをもつ電極4に接続する。磁気抵抗膜1を積層する際には、異なる段の折り返し位置に接続のための良導体6を介して、磁気抵抗膜全体が電気的に直列になるように接続する。また、p型半導体Si基板にn型ウエル9、10を形成して、ソース、ドレイン領域をつくり、ゲート電極8を設けてMOS (metal-oxide-semiconductor) トランジスタを形成している。

【0052】図9は、図7の構造を側面を右方向から見たものである。書き込み線は各直列構造をまたがって配置されている。この書き込み線の端部は、MOSトランジスタのn型ウエルに電気的に接続されており、このトランジスタによって特定の書き込み線にのみ電流を流すことができる。

【0053】実施例6

磁性薄膜メモリ素子がマトリックス状に配列されてなる本発明の磁性薄膜メモリにおいては、情報の記録は、前記書き込み線とメモリ素子本体に電流を流し該電流により生じる合成磁界により、前記第2磁性層の磁化方向を定め、前記書き込み線の電流を流す方向を変えることにより“0”と“1”の状態を記録して行う。本発明の磁性薄膜メモリに情報を記録する場合には、記録しようとする磁気抵抗素子上に積層された書き込み線に電流を流して、磁界を発生させる。これを書き込み電流と呼ぶ。書き込み線に電流を流すと同時に記録しようとする磁気抵抗素子のラインにも電流を流す。これをセンス電流と呼ぶ。記録時に、この書き込み電流が磁気抵抗素子に漏洩することがないように、書き込み線は、磁気抵抗素子上に絶縁体を介して積層され磁気抵抗素子と電気的に絶縁される。

【0054】書き込み電流とセンス電流によって、記録しようとする磁気抵抗素子のみに直交するように、磁界が印加される。直交した部分の磁気抵抗素子は磁界が他の部分より大きくなるので、多数の磁気抵抗素子の中から特定の一つの素子が選択して記録を行うことができる。

10

20

30

40

50

【0055】実施例7

本発明の磁性薄膜メモリ素子に記録された情報を再生する場合には、再生しようとする磁気抵抗膜上に積層された書き込み線に記録時よりも弱い電流を流して、弱い磁界を発生させる。また、同時に再生しようとするメモリ素子が配列された磁気抵抗膜にも電流を流す。

【0056】こうして磁化情報を保存する第2磁性層の磁化の向きはそのまま再生しようとする磁気抵抗膜の第1磁性層の磁化のみが反転するようにする。この際に現れる抵抗変化によって第2磁性層に記録された磁化情報を検出することができる。

【0057】実施例8

本発明の磁性薄膜メモリに用いられる磁気抵抗膜は、スピン依存散乱によって磁気抵抗効果を生じさせることが望ましい。このスピン依存散乱による磁気抵抗効果は、伝導電子の散乱がスピンによって大きく異なることに由来している。即ち磁化と同じ向きのスピンを持つ伝導電子はあまり散乱されないため抵抗値が小さくなるが、磁化と反対向きのスピンを持つ伝導電子は散乱によって抵抗値が大きくなる。このため、第1磁性層と第2磁性層の磁化が反対向きである場合は、同じ向きである場合の抵抗値よりも大きくなる。また、本発明の磁性薄膜メモリ素子は、再生時に電流を膜面に平行に流すCIP (Current In-plane to the film Plane) -MR (Magnetoresistance) 効果を用いる。

【0058】比較例1

従来の構造の磁性薄膜メモリ素子は、図10に示すように磁気抵抗膜を積層していないため、1ビットに一つの磁性薄膜メモリ素子の面積が必要となる。これに対して本発明の磁性薄膜メモリ素子は積層されているため、1ビットのメモリ素子の面積に、2ビット以上の情報を保存することができる。例えば図1に示した磁性薄膜メモリ素子は4段積層されているため、1ビットのセル面積に4ビットの集積化が可能となる。積層回数を増せば、集積度はさらに向上する。このため、集積度が従来の構*

* 造のメモリと比較して飛躍的に向上する。

【0059】

【発明の効果】本発明は、以上説明したように、従来の半導体メモリと比較して、より高い集積度を実現できるという効果を有する。

【図面の簡単な説明】

【図1】本発明の実施例1の磁性薄膜メモリの断面を示した図である。

【図2】図1に示した磁気抵抗膜1をより詳細に示した図である。

【図3】本発明の磁性薄膜メモリの実施例2について、その断面を示した図である。

【図4】本発明の実施例4の磁性薄膜メモリの断面を示した図である。

【図5】本発明の実施例5の磁性薄膜メモリの単位の直列構造を示した図である。

【図6】本発明の実施例5の磁性薄膜メモリの単位の直列構造を並列化構造とした構成の図である。

【図7】本発明の実施例5に記載のトランジスタを設けたデバイス構造の断面図の例を示した図である。

【図8】本発明の実施例5に記載の別のトランジスタを設けたデバイス構造の断面図の例を示した図である。

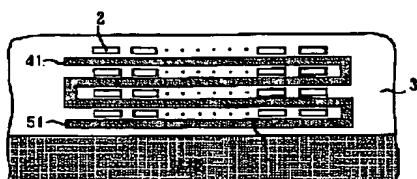
【図9】図1の構造を側面から見た図である。

【図10】従来の構造の磁性薄膜メモリ素子を示す図である。

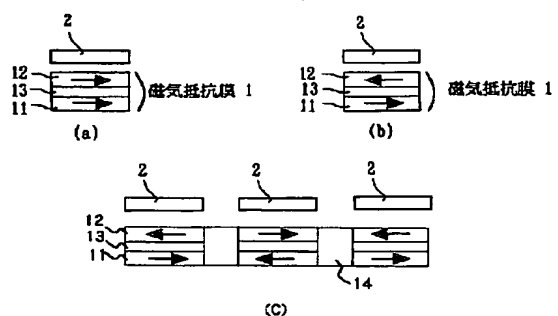
【符号の説明】

1	磁気抵抗膜
2	書き込み線
3	絶縁体
4、5、7	良導体
6	抵抗値の低い良導体
41、51	磁気抵抗膜の端部
8	ゲート電極
9、10	n型ウエル
11	第1磁性層
12	第2磁性層

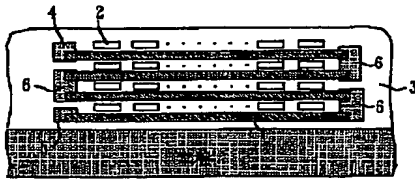
【図1】



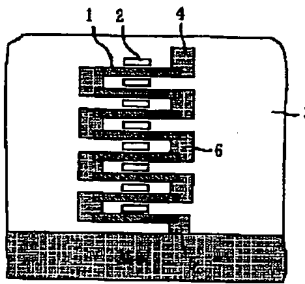
【図2】



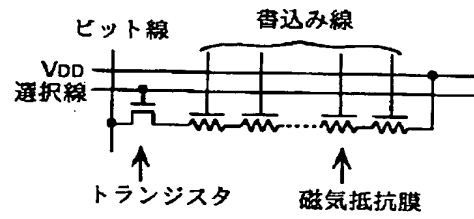
【図 3】



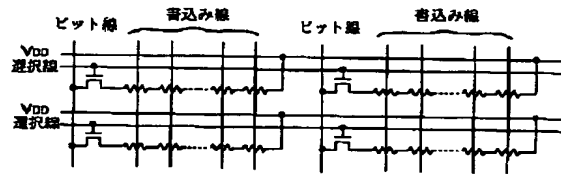
【図 4】



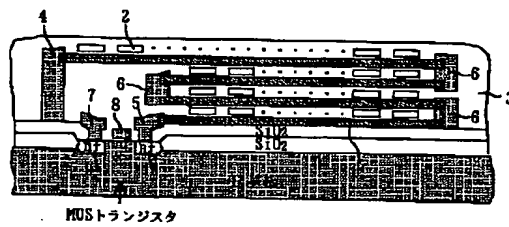
【図 5】



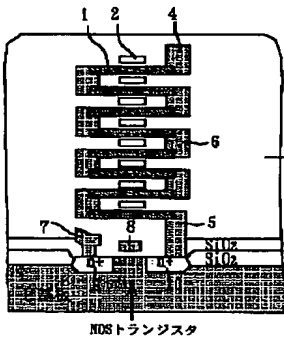
【図 6】



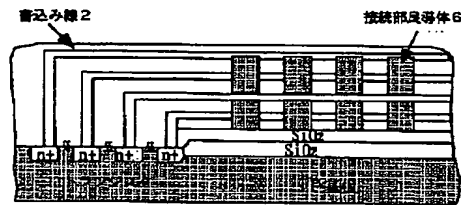
【図 7】



【図 8】



【図 9】



【図 10】

